

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124406

(43)Date of publication of application : 28.04.2000

(51)Int.Cl.

H01L 27/04
H01L 21/822
H04B 5/02

(21)Application number : 10-295575

(71)Applicant : SYNTHESIS CORP

(22)Date of filing : 16.10.1998

(72)Inventor : TANIGUCHI KENJI
YOSHIMURA TAKAHARU
OGAWA TORU

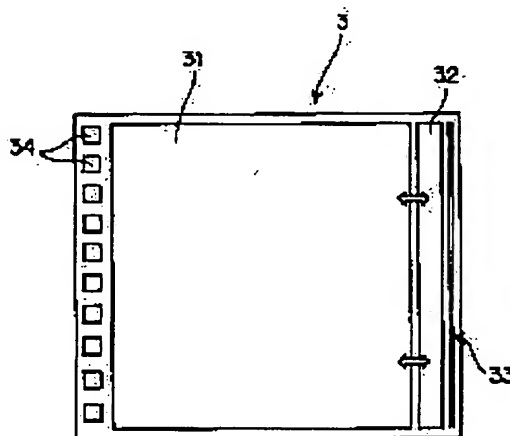
(54) INTEGRATED CIRCUIT DATA COMMUNICATING DEVICE, INTEGRATED CIRCUIT CHIP AND INTEGRATED CIRCUIT USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To improve integration degree of an integrated circuit without raising a cost by providing a transmitter for transmission by modulating carrier wave by digital data to be transmitted and a receiver for modulating received wave to digital data.

SOLUTION: An integrated circuit chip 3 can carry out radio data communication to other integrated circuit 3. For example, the integrated circuit chip 3 has a processor 31 constituted of a logic circuit or a memory circuit, a transmitter/receiver circuit 32, and an antenna 33 both for receiving and transmitting. The

transmitter/receiver circuit 32 is a circuit comprising a transmitter circuit for modulating and transmitting carrier wave by digital signal from a processor 31 and a receiver circuit for demodulating receiving signal from other integrated circuit chips 3 and providing it to the processor 31. Therefore, in an integrated circuit wherein a plurality of integrated circuit chips 3 are mounted on a board, wiring of a bus line for data transmission between integrated circuit chips becomes unnecessary and integration degree can be improved without raising a mounting cost.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(2)

特開2000-124406

1

【特許請求の範囲】

【請求項1】集積回路に実装される集積回路チップに備えられて、他の集積回路チップとの間でデジタルデータの送受を行うためのデータ通信装置であって、送信すべきデジタルデータで搬送波を调制して送出するための送信手段と、受信波をデジタルデータに復調する受信手段とを含むことを特徴とする集積回路用データ通信装置。

【請求項2】上記送信手段は、PSK変調方式、ASK変調方式、FSK変調方式またはパルス符号変調方式によって搬送波を调制するものであることを特徴とする請求項1記載の集積回路用データ通信装置。

【請求項3】上記送信手段と上記受信手段との間で行われるデジタル無線通信には、符号分割多重アクセス方式が適用されていることを特徴とする請求項1または2記載の集積回路用データ通信装置。

【請求項4】集積回路における予め定められている処理を行うための回路と、その回路と電気的に接続され、他の集積回路チップとの間でデジタル無線通信を行うために必要な送信回路および受信回路とが、1つのチップエリア内に配列されていることを特徴とする集積回路チップ。

【請求項5】請求項4記載の集積回路チップが、1枚のウエハに複数個配列されていることを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、集積回路チップ間でデータの送受を行うために有効に利用される集積回路用データ通信装置に関する。

【0002】

【背景技術および発明が解決しようとする課題】近年、CPUチップなどの集積回路チップのクロック周波数およびビット数（取扱可能なデータ長）の増加に伴って、マルチチップ集積回路（IC：Integrated Circuit）の高性能化が急激に進んできている。そして、今日では、64ビットのCPUチップを備えた集積回路が家庭用のテレビゲーム機にまで搭載されるようになっており、今後も集積回路の一層の高性能化が切望されている。

【0003】たとえば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) をさらに微細化することにより、集積回路チップのビット数を増やすことは可能である。しかしながら、集積回路チップのビット数を増やすと、各集積回路チップ間を接続するバスライン数（パッド数）が増加し、これにより、必然的にチップ間隔が大きくなって、集積回路の集積度が低下してしまう。また、チップ間隔が大きくなると、チップ間の配線長が長くなって配線容量が増大し、チップ間のデータ伝送に要する時間が長くなってしまふ。以上の理由から、1枚のボード上に集積回路チップを2次元的に配列

2

して構成される2次元集積回路の高性能化には限界が見えてきている。

【0004】そこで、最近では、ボード上で集積回路チップを上下に積層することにより集積度を高めた3次元集積回路が注目されてきている。ところが、このような3次元集積回路においては、上下に積層されたチップ間の配線が複雑であるために、2次元集積回路に比べて実装コストが大幅に上昇してしまう。この発明は、上述のような背景の下になされたものであり、実装コストの上昇を招くことなく、集積回路の集積度を上昇させることができる集積回路用データ通信装置を提供することを目的としている。

【0005】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、集積回路に実装される集積回路チップに備えられて、他の集積回路チップとの間でデジタルデータの送受を行うためのデータ通信装置であって、送信すべきデジタルデータで搬送波を调制して送出するための送信手段と、受信波をデジタルデータに復調する受信手段とを含むことを特徴とする集積回路用データ通信装置である。

【0006】この発明によれば、集積回路チップ間で無線データ通信を行うことができる。したがって、このデータ通信装置を備えた集積回路チップをボード上に複数個実装した集積回路では、各集積回路チップ間でデータ伝送を行うためのバスラインの配線が不要であるから、集積回路チップ間の間隔を小さくすることにより、実装コストの上昇を招くことなく集積度を高めることができる。ゆえに、集積回路の性能をより向上させることができる。

【0007】また、バスラインの配線が不要であるから、ボード上における集積回路チップの配置の自由度が増し、集積回路チップの配置設計が容易になる。そのうえ、バスラインやI/O回路を駆動するための電力が不要になるから、消費電力を低く抑えることができることがある。請求項2記載の発明は、上記送信手段は、PSK変調方式、ASK変調方式、FSK変調方式またはパルス符号変調方式によって搬送波を调制するものであることを特徴とする請求項1記載の集積回路用データ通信装置である。

【0008】デジタル変調方式としては、この請求項2に記載されているように、PSK変調方式、ASK変調方式、FSK変調方式またはパルス符号変調方式を適用することができる。請求項3記載の発明は、上記送信手段と上記受信手段との間で行われるデジタル無線通信には、符号分割多重アクセス方式が適用されていることを特徴とする請求項1または2記載の集積回路用データ通信装置である。

【0009】たとえば、この集積回路用データ通信装置が備えられる各集積回路チップに対してチップIDを設

(3)

特開2000-124406

3

定しておき、送信データ中にそのデータを受信すべき集積回路チップのチップID情報を組み込んでおけば、データを受信した集積回路チップは、その受信データ中に含まれているチップID情報に基づいて、その受信データが必要なデータであるか否かを判断することができるから、特定の集積回路チップのみにデータを伝送することが可能になる。

【0010】符号多重分割アクセス方式においては、受信側の集積回路チップは特定の拡散コードが受信された信号だけを復調するから、請求項3の発明のように通信方式にCDMA方式を採用した場合には、上述したチップID情報を用いることなく、特定のチップ間でのデータ受信が可能となる。請求項4記載の発明は、集積回路における予め定められている処理を行うための回路と、その回路と電気的に接続され、他の集積回路チップとの間でデジタル無線通信を行うために必要な送信回路および受信回路とが、1つのチップエリア内に配列されていることを特徴とする集積回路チップである。

【0011】この発明によれば、集積回路チップ間で無線データ通信を行うことができる。請求項5記載の発明は、請求項4記載の集積回路チップが、1枚のウエハに複数個配列されていることを特徴とする集積回路である。この発明によれば、各集積回路チップ間でデータ伝送を行うためのバスラインの配線が不要であるから、集積回路チップ間の間隔を小さくすることにより、実装コストの上昇を招くことなく集積度を高めることができる。

【0012】1枚のウエハに複数個の集積回路チップを配列する場合、すべてのチップを良品とするには、超高度な品質管理が必要であり、製品の歩留りもよくない。すなわち、1枚のウエハにたとえば $10 \times 10 = 100$ 個の集積回路チップを配列する場合、通常、その中の1個や2個には配線不良等のチップが生じる可能性がある。それをなくそうとすれば歩留りが悪くなる。

【0013】そこで、請求項4記載の集積回路チップが1枚のウエハに複数個配列された集積回路では、そのウエハに配列された複数個の集積回路チップのうち、いくつか不良のチップがある場合、その集積回路チップを用いなければよい。不良の集積回路チップを用いなくても、その集積回路チップは、他の集積回路チップと接続されていないので、良品の集積回路チップが不良品の集積回路チップから受ける悪影響はない。

【0014】また、データの送受信時に、不良チップに対してデータの送受信を行わなければいいため、不良チップを含む複数のチップが配列された1枚のウエハをそのまま活用することができるわけである。そして、かかるウエハを積層して3次元集積回路を構成した場合、各層（ウエハ）においていくつかの不良品チップがあっても、その不良品チップは使わないように、デジタル無線通信におけるデータの送受信を実現す

4

ばよい。

【0015】これは無線通信であるからできることであり、有線通信の場合は、通信線を接続した後、すべてのチップが良品か否かの判別をしなければならない。また、有線通信の場合、不良チップがあると、そのチップを飛ばして配線の接続をしなければならず、その接続が非常に困難である。したがって、不良品チップを含んだ状態での回路構成は困難である。

【0016】さらにこれに関連して言えば、多層構造の集積回路を構築する場合、たとえば1層目の回路を構成し、その上に2層目の回路を構成する場合は、シリコン単結晶層を用いるため、多層になるほどすべての層において不良品が生じないようにしなければならないから、その製造は実質的に不可能に近かった。この発明では、かかる欠点が解消される。

【0017】

【発明の実施の形態】以下では、この発明の一実施形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る集積回路用データ通信装置が適用された集積回路の構成を模式的に示す斜視図である。この集積回路1は、1枚のボード2上に複数個の集積回路チップ3を m 行 \times n 列の行列状に配列したマルチチップ集積回路であり、列方向に隣接する集積回路チップ3間には、各集積回路チップ3に電力を供給するための電源ライン4がパターン形成されている。

【0018】図2は、集積回路チップ3の構成を示す図解図である。集積回路チップ3は、他の集積回路チップ3との間で無線データ通信を行うことができるようになっている。具体的に説明すれば、集積回路チップ3は、論理回路またはメモリ回路で構成されるプロセッサ部31と、プロセッサ部31からのデジタル信号で搬送波を変調して送出する送信回路および他の集積回路チップ3からの受信信号を復調してプロセッサ部31に与えるための受信回路を含む送受信回路32と、送受信兼用アンテナ33とを備えている。送受信兼用アンテナ33は、たとえばアルミニウム線などの金属線を1本または複数本並列して構成されたものであり、その長さは、アンテナの形式によるが、たとえば半波長アンテナの場合には、送信波の波長を λ とすると約 $\lambda/2$ に設計される。

【0019】また、集積回路チップ3には、たとえば一方端縁に沿って、図1に示す電源ライン4から電力を受け取るための電源用パッド34が配設されている。図3は、送受信回路32に備えられた送信回路の構成を示すブロック図である。この送信回路50は、たとえば4相PSK(Phase Shift Keying)変調方式を採用したものであり、2つの1ビットデジタル信号（ベースバンド信号）I、Qを同時に伝送することができる。

【0020】この送信回路50には、プロセッサ部31（図2参照）から送られてくるデジタル信号I、Qを

(4)

特開2000-124406

5

それぞれ高周波変調するための変調器51、52が備えられている。変調器51には、周波数シンセサイザ56で作成される基準搬送波(Sinw_t)の位相を90°偏移して得られる搬送波が与えられている。変調器51は、この搬送波をデジタル信号Iで変調し、その変調波を加算器53に与える。一方、変調器52には、周波数シンセサイザ56で作成された基準搬送波がそのまま入力されている。変調器52は、周波数シンセサイザ56からの基準搬送波をデジタル信号Qで変調して加算器53に与える。

【0021】加算器53は、変調器51、52から与えられる90°位相のずれた2種の変調波を足し合わせて合成波を作成する。加算器53で作成された合成波は、マッチングネットワーク54に与えられて所定の搬送周波数(たとえば1.5GHz)に合わせられた後、高周波増幅器55で増幅される。こうして得られた送信波は、送受信兼用アンテナ33から空中に送出される。

【0022】図4は、送受信回路32に備えられた受信回路の構成を示すブロック図である。この受信回路は、4相PSK変調方式で変調されて送出された送信波を復調するためのものであり、ヘテロダイン受信部60と同期検波部70とを備えている。ヘテロダイン受信部60には、送受信兼用アンテナ33で受信した受信波を増幅するための低雑音増幅器61が備えられている。低雑音増幅器61で増幅された受信波は、帯域フィルタ(BPF:band pass filter)62に与えられて、この無線データ通信に使用されている周波数帯域以外の周波数成分が除去される。そして、混合器63に与えられて、周波数シンセサイザ64から出力される所定周波数の局部受信信号と混合されることにより周波数が下げられる。こうして周波数が下げられた受信波は、帯域フィルタ65で周波数帯域がさらに絞り込まれた後、増幅器66で増幅されて同期検波部70に入力される。

【0023】同期検波部70に入力された受信波は、乗算器71、72に与えられる。乗算器71には、周波数シンセサイザ73から上記基準搬送波(Sinw_t)と同一周波数の正弦波の位相を90°偏移して得られる信号が与えられている。乗算器71は、この信号と乗算器71に与えられる受信波とを乗算し、この乗算によって得られた信号を低域フィルタ(LPF:low pass filter)74に与える。低域フィルタ74では、乗算器71からの信号の高周波成分が除去されることによりベースバンド信号成分だけが取り出される。低域フィルタ74を通過したベースバンド信号は加算器75に与えられる。

【0024】一方、乗算器72に与えられる受信波は、周波数シンセサイザ73から出力された上記基準搬送波と同一周波数の正弦波と乗算された後に、低域フィルタ76に与えられる。低域フィルタ76は、乗算器72からの信号の高周波成分を除去することによりベースバンド信号だけを取り出し、その取り出したベースバンド信

6

号を加算器75に与える。加算器75は、乗算器71、72から与えられるベースバンド信号をシリアルに結合して、正負判定部77に向けて出力する。正負判定部77は、加算器75から与えられる各ベースバンド信号の正負を判定し、各ベースバンド信号をその正負に応じた1ビットデジタル信号に変換する。これにより、加算器75からのベースバンド信号列は2列のデジタル信号(00, 01, 10, 11)に復調され、その復調されたデジタル信号が、図2に示すプロセッサ部31に向けて送出される。

【0025】以上のようにこの実施形態によれば、集積回路チップ3間で無線データ通信を行うことができる。したがって、この集積回路チップ3を1枚のボード2上に複数個実装した集積回路1では、各集積回路チップ3間でデータ伝送を行うためのバスラインが無線回路で実現されるから、集積回路チップ3間の間隔を小さくして集積度を高めることができ、従来の集積回路と比較して性能を向上させることができる。

【0026】また、バスラインが無線回路で実現されるから、ボード2上における集積回路チップ3の配置の自由度が増し、集積回路チップ3の配置設計が容易になる。また、バスラインやI/O回路を駆動するための電力に代えて送受信回路32を駆動する電力が必要になるが、この電力が低くて済む場合には、消費電力を低く抑えることができる。

【0027】また、予めボード2上の各集積回路チップ3に対してチップIDを設定しておき、送信データ中にそのデータを受信すべき集積回路チップ3のチップID情報を組み込んでおけば、特定の集積回路チップ3のみにデータを伝送することも可能である。すなわち、データを受信した集積回路チップ3は、その受信データ中に含まれているチップID情報を読み取って、その受信データが必要なデータであるか否かを判断し、必要なデータであればそのまま取得し、不要なデータであれば破棄すればよい。また、送信データ中に自己(送信元)のチップID情報を組み込んでおけば、その送信データを受信した集積回路チップ3は、受信データの送信元を認識することができる。

【0028】さらに、各集積回路チップ3間のデータの授受を無線通信により行うことができるから、1つの集積回路チップ3から複数個の集積回路チップ3へ同時に同じデータを送信することができる。ゆえに、たとえば超並列コンピュータで採用されている単一命令複数データ流方式(SIMD:Single Instruction Multiple Data)を簡単な構成で実現することができる。

【0029】また、図5に示すように、集積回路チップ3をボード2上に複数個実装した集積回路11、12、13、14、15を上下に複数個積層して3次元集積回路を作成することにより、集積度をより高めることができる。この3次元集積回路では、各層内における集積回路チ

(5)

特開2000-124406

7

ブ3間でのデータ授受および互いに異なる層に設けられた集積回路チップ3間でのデータ授受を無線通信により行うことができるので、各層内におけるバスラインおよび各層間のデータ伝送のための配線が不要である。したがって、ボード上で集積回路チップを上下に積層した従来の3次元集積回路と比較して、実装コストを大幅に低減することができる。

【0030】また、図5に示す3次元集積回路に含まれる各集積回路チップ3は、多数のニューロン間をネットワーク的に結合した人間の頭脳のようにデータ通信を行うことができるから、上記ニューロンの機能を集積回路チップ3に持たせることができれば、人工頭脳を作成することが可能となる。さらにまた、たとえば、1層目の集積回路11に設けられた集積回路チップ3をCPUチップで構成し、2層目の集積回路12に設けられた集積回路チップ3をメモリチップで構成し、3層目の集積回路13に設けられたDSP(Digital Signal Processor)で構成するといったように、各層の集積回路チップ3を同一種類のチップで構成することにより、超並列コンピュータと同様な機能を有する3次元集積回路を作成することができる。

【0031】また、この実施形態のように集積回路チップ3間で無線データ通信を行うことができれば、次のようなシステムの実現が可能となる。すなわち、集積回路チップ3を備えた集積回路をパーソナルコンピュータに搭載すれば、たとえばオフィス内において各パーソナルコンピュータ間で無線データ通信を行うことができ、オフィス内に無線形式のローカルネットを構築することができる。また、他のパーソナルコンピュータのCPUチップの稼働率を確認し、稼働率が低い場合には、そのCPUチップにデータを伝送してデータ処理を実行させることができる。これにより、各パーソナルコンピュータのCPUチップを効率良く利用することができる。

【0032】以上、この発明の一実施形態について説明したが、この発明は、上記の一実施形態に限定されるものではない。たとえば、上記の一実施形態においては、デジタル信号の変調方式として4相PSK変調方式が適用された場合を例にとって説明したが、この4相PSK変調方式以外にも、2相PSK変調方式や8相PSK変調方式などを適用することもできる。また、PSK変調方式以外にも、ASK(ASK:amplitude shift keying)変調方式やFSK(FSK:frequency shift keying)変調方式を適用することもできる。

【0033】さらに、搬送波として正弦波を用いる方式に限らず、この正弦搬送波に代えてパルス搬送波を用いる方式、たとえばパルス符号変調方式が適用されてもよい。また、上記の一実施形態の説明では、送信回路から送出される送信波の周波数は、たとえば1.5GHzであるとした。しかしながら、送信波の周波数は、上記1.5GHzには限定されず、適宜に変更することがで

8

きる。ただし、デジタル信号の周波数(その上限は、通常、クロック周波数で規定される)より高くする必要がある。

【0034】さらに、各集積回路チップ間の無線データ通信には、複数の異なる搬送周波数を用いてもよい。たとえば、受信側の集積回路チップが、特定の周波数の信号だけを受信するようにしておくことにより、上述したチップID情報を用いることなく、特定のチップ間でのデータ受信が可能となる。また、メモリチップ同士では第1周波数を、論理回路同士では第2周波数を用いるというように使用する周波数を分けることにより、デジタル無線通信の信頼性を向上させることが期待できる。

【0035】さらに、各集積回路チップ間の無線データ通信に、符号分割多重アクセス(CDMA: Code Division Multiple Access)方式を採用してもよい。このCDMA方式において、受信側の集積回路チップは特定の拡散コードが乗った信号だけを復調するから、CDMA方式を採用した場合には、上述したチップID情報を用いることなく、特定のチップ間でのデータ受信が可能となる。

【0036】また、上記の一実施形態では、送受信兼用アンテナで電波を送受信する構成を取り上げたが、送信用アンテナと受信用アンテナとが別々に設けられていてもよい。さらに、上記の一実施形態では、平面状のボード上に複数の集積回路チップを配列した例を挙げたが、ボードは必ずしも平面状に形成される必要はない。たとえば、図6に示すように、多角筒状に形成されたボード80の外表面81または内表面82に複数の集積回路チップが配列されることによって集積回路が構成されてもよい。

【0037】また、上記の一実施形態では、1つの集積回路チップの中に論理回路またはメモリ回路で構成されるプロセッサ部(回路ブロック)と、送信回路および受信回路を含む送受信回路(通信ブロック)とが備えられているとしたが、プロセッサ部と送受信回路とが別々のチップに備えられていてもよい。この場合、プロセッサ部のみを備えたチップと送受信回路のみを備えたチップとは、従来から用いられている有線のバスラインを介してデータ通信が行われ、これらのチップ対と他のプロセッサ部のみを備えたチップおよび送受信回路のみを備えたチップの対との間では無線データ通信が行われるとよい。

【0038】その他、特許請求の範囲に記載された技術的事項の範囲内で、種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図1】この発明の一実施形態に係る集積回路用データ通信装置が適用された集積回路の構成を模式的に示す斜視図である。

【図2】集積回路チップの構成を示す図解図である。

(6)

特開2000-124406

9

10

【図3】送信回路の構成を示すブロック図である。

【図4】受信回路の構成を示すブロック図である。

【図5】3次元集積回路の構成を模式的に示す斜視図である。

【図6】多角筒状に形成されたボードを示す斜視図である。

【符号の説明】

1, 11, 12, 13, 14, 15 集積回路

2, 80 ボード(ウエハ)

* 3 集積回路チップ

31 プロセッサ部(予め定められている処理を行うための回路)

32 送受信回路

33 送受信兼用アンテナ

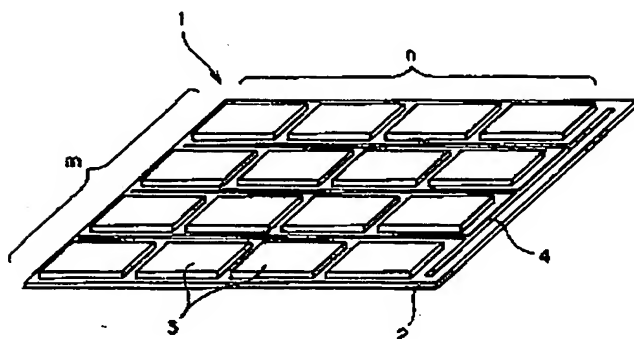
50 送信回路(送信手段)

60 ヘテロダイン受信部(受信手段、受信回路)

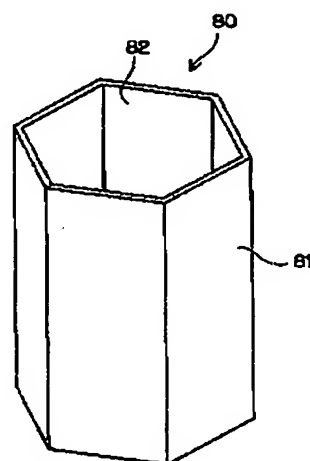
70 同期検波部(受信手段、受信回路)

*

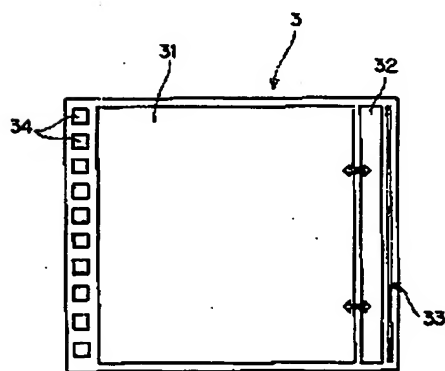
【図1】



【図6】



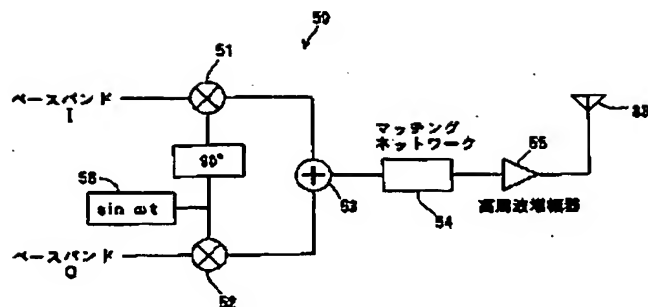
【図2】



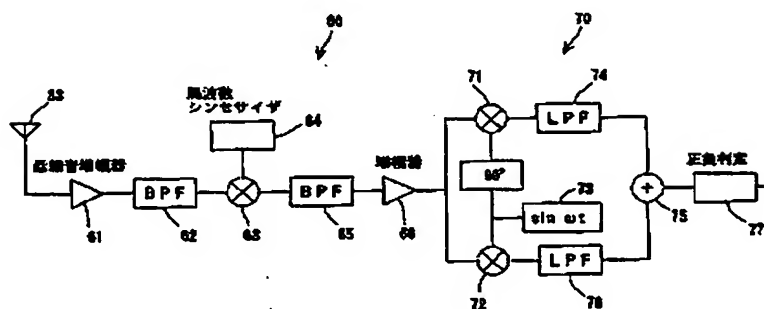
(7)

特開2000-124406

【図3】



【図4】



【図5】

